

# Reference 1

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑪ 公開特許公報 (A)

平1-255933

⑫ Int.CI.

G 06 F 9/38  
12/08

識別記号

350

庁内整理番号

X-7361-5B  
C-7010-5B

⑬ 公開 平成1年(1989)10月12日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 掃出し制御方式

⑮ 特 願 昭63-84616

⑯ 出 願 昭63(1988)4月6日

⑰ 発明者 宮沢文彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代理人 弁理士 柳川信

## 明細書

### 1. 発明の名称

掃出し制御方式

### 2. 特許請求の範囲

(1) 複数回のストア動作で一命令関連の情報を格納するストアバッファ手段と、このストアバッファ手段に格納される一命令関連の情報の最終回のストア動作に応答して値を増加させるか減少させ、前記ストアバッファ手段からの掃出し動作に応答して値を減少させるか増加させるストアバッファ掃出しポインタ手段と、このストアバッファ掃出しポインタ手段の値が前記ストアバッファ手段からの掃出し対象となる命令関連の情報をないことを示しているとき前記ストアバッファ手段からの掃出し動作を抑止する抑止手段とを含むことを特徴とする掃出し制御方式。

### 3. 発明の詳細な説明

#### 技術分野

本発明は掃出し制御方式に関し、特に1回以上

のストアを必要とする命令の演算処理において、ストアバッファから主記憶装置への掃出し制御方式に関する。

#### 従来技術

従来のバイオペライン処理型情報処理装置でのバイオペライン処理は次のようにして行なわれる。第4図を参照すると、このバイオペライン処理の一例では、アドレス手段により命令キャッシュから命令を取出す命令取出(IF)ステージ、このステージで取出された命令を命令レジスタに格納したあとこの命令のオペランドにもとづきアドレス計算器で論理アドレスを生成するオペランドアドレス(AC)ステージ、このステージで生成された論理アドレスを論理アドレスレジスタに格納したあとアドレス変換バッファで論理アドレスを物理アドレスに変換するアドレス変換(AT)ステージ、このステージで変換された物理アドレスを物理アドレスレジスタに格納したあと、この物理アドレスでオペランドキャッシュをアクセスしオペランドを読み出すオペランドキャッシュアクセス(CA)ス

テージ、このステージで読出されたオペランドを実行レジスタに格納したあと演算器で演算する演算実行 (EX) ステージ、およびこの (EX) ステージで演算された結果を格納する結果格納 (ST) ステージの 6 つのステージに分割されている。

第 5 図を参照すると、従来この種のパイプライン処理型情報処理装置では、一命令が全てストアバッファに格納し終るまで主記憶装置への格納が抑止されていた。すなわち 4 バイトである命令 A は、タイミング 10 で命令 A の 4 バイト目が格納されてから次のタイミング 11 で命令 A の 1 バイト目が挿出される。また 2 バイト命令である命令 B のストアバッファから主記憶装置への挿出は、命令 A の全てが挿出された後、タイミング 15 で行なわれることになる。

よって、命令 A のように一命令で多くのストア処理をしなければならない命令では、命令リトライ不可期間が長くなるという欠点がある。

#### 発明の目的

本発明の目的は上述の欠点を除去するようにし

Cache、この命令キャッシュ I Cache にアドレスを供給するアドレスレジスタ AIC、このアドレスレジスタ AIC の内容を更新するためのインクリメンタ +1、命令キャッシュ I Cache からの命令を一旦格納するための命令バッファ 1B および命令キャッシュ I Cache および命令バッファ 1B のうちどちらか一方からの命令を選択するためのセレクタ 21 を備えている。

オペランドアドレス生成 (AC) ステージでは、セレクタ 21 で選択出力された変更後の命令を格納する命令レジスタ IR20、この命令レジスタ IR20 からのアドレスまたはその値により索引されるアドレスを格納するためのレジスタ BR および GR、およびこの命令レジスタ IR20、レジスタ BR および GR からの値を計算しアドレスを生成するためのアドレス演算器 AD、ADDER が必要である。

アドレス変換 (AT) ステージのためには、アドレス演算器 AD、ADDER から与えられる論理アドレスを格納する論理アドレスレジスタ LAR およびこの論理アドレスに応答して物理アドレスを読出すた

た挿出し制御方式を提供することにある。

#### 発明の構成

本発明による挿出し制御方式は、複数回のストア動作で一命令関連の情報を格納するストアバッファ手段と、このストアバッファ手段に格納される一命令関連の情報の最終回のストア動作に応答して値を増加させるか減少させ、前記ストアバッファ手段からの挿出し動作に応答して値を減少させるか増加させるストアバッファ挿出しポインタ手段と、このストアバッファ挿出しポインタ手段の値が前記ストアバッファ手段からの挿出し対象となる命令関連の情報がないことを示しているとき前記ストアバッファ手段からの挿出し動作を抑止する抑止手段とを含む構成である。

#### 実施例

次に本発明の一実施例について詳細に説明する。

まず、本発明の一実施例の前提となる回路について簡単に説明する。第 1 図を参照すると、命令取出し (IF) ステージの処理のため主記憶装置 8 から読出された命令を格納する命令キャッシュ I

めのアドレス変換バッファ TLB が用意されている。

次にキャッシュアクセス (CA) ステージの処理のためアドレス変換バッファ TLB から与えられる物理アドレスを格納するための物理アドレスレジスタ PAR、この物理アドレスレジスタ PAR からのアドレス情報で指示される位置に主記憶装置 8 からのオペランドを格納し、格納されたオペランドを読出すためのオペランドキャッシュ 0 Cache、レジスタ群 BR および GR、更にこれらレジスタ群 BR および GR からの内容を選択するためのセレクタ 22 が用意されている。

演算実行 (EX) ステージのためには、演算を行うための演算器 FLT、ADD、桁合わせを行なうためのシフタ SHT、これら演算器 FLT、ADD、シフタ SHT およびオペランドキャッシュ 0 Cache からの演算結果、演算中間結果およびオペランドを格納するための実行レジスタ EXR、セレクタ 22 からの内容および演算器 FLT、ADD アドレスおよびシフタ SHT からの演算結果、演算中間結果を格納するた

めのレジスタREGISTER、実行レジスタEXRおよびレジスタREGISTERからの情報を入力し、命令カウンタ15の更新指示を線101に出力する演算制御部1が設けられている。

結果格納(ST)ステージでは、演算器FLT ADDおよびシフタSHTからの演算結果を格納するためのリードデータレジスタRDR5の他、書き込みアドレスをセットする書き込みアドレスレジスタWA2、このレジスタWA2からの書き込みアドレスを+1増加させるためのインクリメンタ3、線102を介して与えられる命令終了フラグをセットするレジスタHF4、このレジスタHF4からのフラグを書き込みアドレスレジスタWA2で指示される位置に格納する命令終了フラグバッファHFB6、線103を介して与えられるリードデータレジスタ5の内容を、レジスタWA2からのアドレスで指示される位置に格納するためのストアバッファ7、このストアバッファ7に対する読み出アドレスを格納するための読み出アドレスレジスタ9、この読み出アドレスレジスタ9の内容を更新するためのインクリメンタ10、

またはそのままの出力を選択して格納するストアバッファ7から出力されるストアバッファ7を含む。

次に、本発明の一実施例の動作を第1図から第3図を参照して詳細に説明する。第1図および第2図を参照すると、サイクル1では主記憶装置8から命令キャッシュI Cacheに命令Aが格納される。命令Aは4ワード命令である。次にサイクル2では主記憶装置8から命令キャッシュI Cacheに命令Bが格納されるとともに命令Aは命令キャッシュI Cacheからセレクタ21および命令レジスタIR20を介して加算器AD ADDERでアドレス生成される。このようにして、命令A、BおよびCの処理は進められる。命令Bは2ワード命令であり、命令Cは1ワード命令である。

第1図から第3図を参照すると、サイクル6で読み出データレジスタRDR5に格納された命令Aに関する第1ワード目の演算結果はサイクル7で線103を介してストアバッファ7の1番地に格納される。

線101を介してIC更新指示が出力されていな

ストアバッファ7から主記憶装置8へのバッファ出しを制御するための指示信号を線105に出力するメモリアクセス制御部11。このメモリアクセス制御部11から線105を介して与えられる指示信号に応答してストアバッファ7からの内容を線104を介して主記憶装置8へ送出するレジスタHAR12。演算制御部1から線101を介して与えられる命令カウンタ更新指示信号に応答して、命令カウンタ更新の場合は“1”を命令終了フラグとして、また命令カウンタ更新でない場合は“0”を線102に出力する命令カウンタ(以下IC)更新制御回路13、命令カウンタ16、IC更新制御回路13から線102を介して与えられる信号に応答して命令カウンタ16からの値をセットするレジスタIC15、IC更新制御回路13からの信号を格納するレジスタHFI17、このレジスタHFI17および命令終了フラグバッファHFB6からの出力のどちらか一方を選択する選択制御回路18、およびこの選択制御回路18からの信号に応答してインクリメンタ23、デクリメンタ24、

いため、IC更新制御回路13から線102を介してレジスタHFO4に格納された値“0”が、上述の命令Aの第1ワード目の演算結果のストアバッファ7への格納動作とともに、命令終了フラグバッファ6の対応するワードに“0”が格納される。

サイクル10で命令カウンタレジスタ15の内容が“A”から“B”に変化するとともに命令終了フラグバッファ4に“1”が格納され、インクリメンタ23が動作してストアバッファ7から出力されるストアバッファ7の内容が“0”から“1”に変化する。これはストアバッファ7内に挿出し可能なデータが1命令あることを示す。

メモリアクセス制御部11はストアバッファ7から出力されるストアバッファ7の内容が“0”的なときはストアバッファ7に挿出し可能なデータがないため、ストアバッファ7から主記憶装置8に対する挿出し動作を抑止する指示信号をレジスタ12に与える。いま、ストアバッファ7から出力されるストアバッファ7の内容が“1”的なときは、メモリアクセス制御部11はストアバッファ7に挿出し可能なデータがあるため、メモリアクセス制御部11はストアバッファ7に挿出し可能なデータを主記憶装置8に供給

するようレジスタ12に指示する。この指示に応答してレジスタ12はストアバッファ7から主記憶装置8に対して命令Aの命令単位の挿出しが開始される。

サイクル10において命令Aの第4ワード目のストアバッファ7への格納が終了しサイクル11において命令Bの第1ワード目のストアバッファ7への格納動作が開始される。

サイクル12において命令カウンタレジスタ15の内容が更新されると、これと同期して命令終了フラグバッファ6に“1”が格納される。この時命令Aの第3ワード目のストアバッファ7から主記憶装置8への挿出し動作が行なわれているため、命令Bの命令単位を主記憶装置8に挿出すことができない。そこでストアバッファ挿出しポイント19の値は“1”から“2”にカウントアップされる。これは、ストアバッファ内に挿出し可能なストアデータが2命令分存在することを示す。

サイクル13において命令カウンタ16により命令カウンタレジスタ15の内容が“2”から

の演算結果の主記憶装置8への挿出し動作が開始され、サイクル15において、命令Bの第2ワード目の命令単位の主記憶装置8への挿出しが行なわれる。命令終了フラグバッファ6から“1”が検出されるとストアバッファ挿出しポイント19の値がディクリメントタ24によりディクリメントされ“1”となる。これは、ストアバッファ7内に挿出し可能なストアデータが1命令分存在していることを示している。

サイクル16において命令Cがストアバッファ7から挿出されると、命令終了フラグバッファ6から“1”が検出され、サイクル17においてストアバッファ挿出しポイント19の値がデクリメントタ24によりカウントダウンされ“0”となり、これはストアバッファ7に挿出し可能なデータがないことを示している。

なお、命令終了フラグバッファ6は第3図に示すようなバッファ構造となっており、ストアデータがストアバッファ7に書き込まれるタイミングで命令カウンタレジスタ15の値が変更される時に

“3”に更新され、命令Cに関する演算結果が格納されると、これと同期して命令終了フラグバッファ6に値“1”が格納される。この時命令Aの第1ワード目がストアバッファ7から主記憶装置8に対して挿出されており、命令Cに関する演算結果を主記憶装置8に挿出すことはできない。

そこで、ストアバッファ挿出しポイント19の値は“2”から“3”にカウントアップされ、ストアバッファ7内に挿出し可能なストアデータが3命令分存在することを示している。

サイクル13において、命令Aの第4ワード目の演算結果の主記憶装置8への挿出しとともに命令終了フラグバッファ6から“1”が出力されると、サイクル14においてストアバッファ挿出しポイント19の内容のデクリメントタ24によるデクリメントが行なわれ、ポイント19の内容は“3”から“2”に変化する。この値“2”は、ストアバッファ7内に挿出し可能なストアデータが2命令分存在することを示す。

サイクル14において、命令Bの第1ワード目

“1”が、それ以外の時には“0”が書き込まれる。また、同一タイミングで命令終了フラグバッファ6にストアされるフラグが“1”ならば、ストアバッファ挿出しポイント19の値がカウントアップされ、“0”ならばカウントアップされずにその時のポイント19の値が保持される。

また、ストアバッファ7から主記憶装置8へ挿出すタイミングで命令終了フラグバッファ6の読み出動作も行なわれる。読み出された命令終了フラグの値が“1”ならば、ストアバッファ挿出しポイント19の値がカウントダウンされ、命令終了フラグの値が“0”ならばカウントダウンされずにその時の挿出しポイント19の値が保持される。

次に実行ステージにおける障害挿出がなされたときの動作について説明する。例えば、命令Aのサイクル7のEX(実行)ステージにおいて障害が挿出されると、命令カウンタ16の更新、命令終了フラグバッファ6へのストア、ストアバッファ挿出しポイント19の更新、およびストアバッファ7から主記憶装置8への命令Aの挿出しが抑

止され、命令 A からのリトライ（再試行）が指示される。

#### 発明の効果

本発明はストア命令において発行されるストア要求に対して命令単位に命令終了フラグを付加することにより、主記憶装置 8 の置換えを命令の終了まで送らせる制御を行なうことができるという効果がある。

また、本発明はストアバッファ挿出しポインタ 19 を設けることにより、ストアバッファ 7 に格納された最も古い命令単位から主記憶装置 8 に挿出しができる、結果としてリトライ率を向上できるという効果がある。

#### 4. 図面の簡単な説明

第 1 図は本発明の一実施例を示す図、第 2 図は本発明の一実施例の動作を説明するためのタイムチャート、第 3 図はストアバッファ、命令終了フラグバッファおよびストアバッファ挿出しポインタの関係を示す図、第 4 図はバイブライン処理を説明するための図、第 5 図は従来技術の一例を示

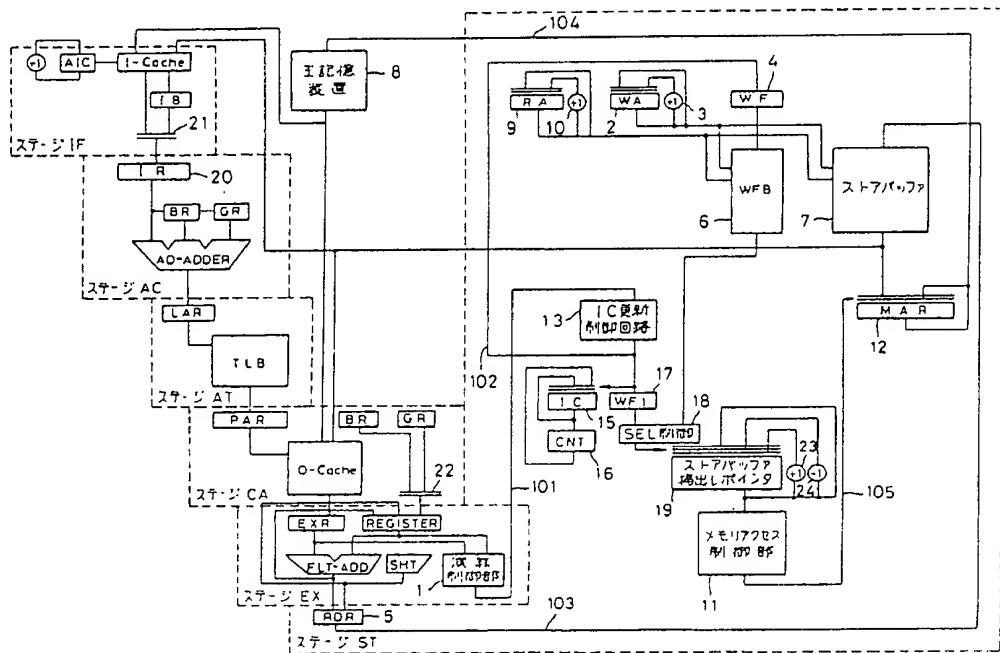
すためのタイムチャートである。

#### 主要部分の符号の説明

- 1 ……演算制御部
- 2 ……書込アドレスレジスタ
- 3 ……リードデータレジスタ
- 6 ……命令終了フラグバッファ
- 7 ……ストアバッファ
- 8 ……主記憶装置
- 9 ……読出アドレスレジスタ
- 11 ……メモリアクセス制御部
- 13 ……命令カウンタ更新制御回路
- 15 ……命令カウンタレジスタ
- 16 ……命令カウンタ
- 18 ……選択制御回路
- 19 ……ストアバッファ挿出しポインタ
- 20 ……命令レジスタ

出願人 日本電気株式会社  
代理人 弁理士 柳川 信

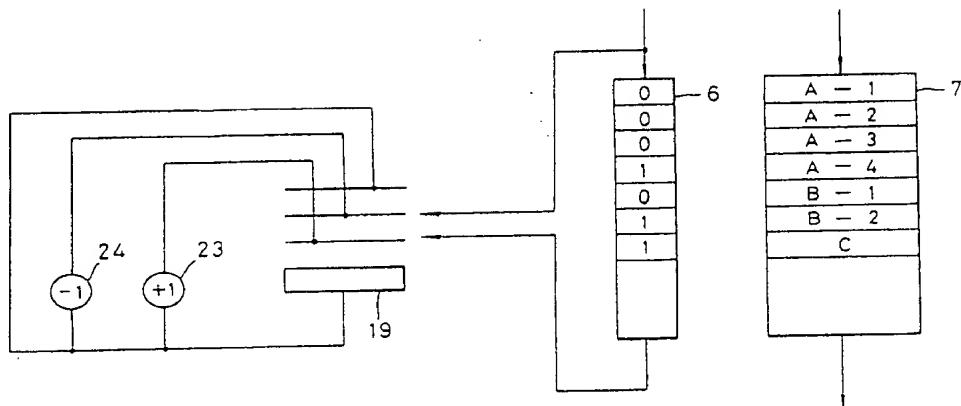
Fig. 1  
第 1 図



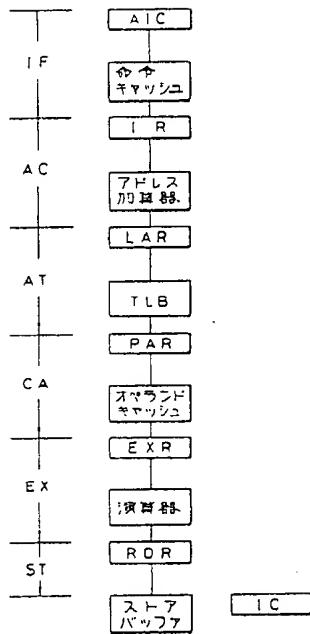
第 2 図

サイクル	1   2   3   4   5   6   7   8   9   10   11   12   13   14   15   16   17   18
I/Fステージ	A   B   C
ACステージ	A   B   C
ATステージ	A   B   C
CAステージ	A   B   C
EXステージ	A-1   A-2   A-3   A-4   B-1   B-2   C
STステージ	A 1   A 2   A 3   A 4   B 1   B 2   C
書き込みアドレスレジスタ 2	0   1   2   3   4   5   6   7
命令カウンタレジスタ 15	A   B   C
ストアアバッファ 7	A-1   A-2   A-3   A-4   B-1   B-2   C
命令終了フラグレジスタ 4	0   1   0   1   1
ストアアバッファ挿出レジスタ 19	0   1   2   3   4   5   6   7   8
読み出しアドレスレジスタ 9	A-1   A-2   A-3   A-4   B-1   B-2   C
主記憶装置 8	0   1   0   1
選択制御回路 18	

第 3 図



第4図



第5図

	0	1	2	3												
サイクル	0 1 2 3 4 5 6 7 8 9 0 1 2 3 4 5 6 7 8 9 0 1 2 3 4 5 6 7 8 9 0	1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18	1 2 3 4 5 6 7 8 9 0 1 2 3 4 5 6 7 8 9 0 1 2 3 4 5 6 7 8 9 0	1 2 3 4 5 6 7 8 9 0 1 2 3 4 5 6 7 8 9 0 1 2 3 4 5 6 7 8 9 0												
IF	A B C															
AC	A B C															
AT	A B C															
CA	A B C															
EX	A-1 A-2 A-3 A-4 B-1 B-2 C															
ST	A-1 A-2 A-3 A-4 B-1 B-2 C															
ストアバッファ	A-1 A-2 A-3 A-4 B-1 B-2 C															
命令カウンタ 王記憶装置	A B C															
	A-1 A-2 A-3 A-4 B-1 B-2 C															